

PROGETTO DI CIRCUITI VLSI NEUROMORFI

V. Bonaiuto, F.Sargeni, E. Steiz, P. Del Giudice^(), M. Giulioni^(*), D. Badoni^(#)*

Dipartimento di Ingegneria Elettronica
Università di Roma Tor Vergata
Via del Politecnico 1, 00133 ROMA
(*) Istituto Superiore di Sanità
Via Regina Margherita - Roma
(#) Istituto Nazionale di Fisica Nucleare
Sez. Roma2 - Roma

Diverse sono le aree di ricerca interessate allo studio delle funzioni svolte dalla corteccia cerebrale quali la neurofisiologia, la psicologia cognitiva, la biologia molecolare, le discipline fisico-matematiche e l'ingegneria. Numerosi studi sono stati sviluppati negli anni utilizzando diversi approcci di tipo fisico che, mediante l'applicazione dei metodi della meccanica statistica e delle teorie dei processi stocastici, hanno tentato di individuare delle metodologie utili a comprendere il comportamento globale del sistema a partire da modellizzazioni di suoi componenti elementari. Questo al fine di chiarire le basi della strategia computazionale del sistema biologico, con particolare riferimento ad alcuni dei meccanismi tipici quali l'apprendimento e la memorizzazione di informazioni.

Un sistema elettronico di tipo "neuromorfo" è quindi un sistema basato su modelli che tentano di implementare la logica di elaborazione neurale. Tale sistema utilizza circuiti integrati dedicati e progettati con particolari strategie che consentono consumi ridotti ed elevata robustezza. Numerose sono queste realizzazioni circuitali ad oggi disponibili presso diversi gruppi di ricerca in ambito internazionale. L'attività di ricerca che si è intrapresa riguarda l'applicazione delle metodologie e delle competenze sviluppate in anni precedenti dagli autori relative alla progettazione di circuiti analogici in current-mode con applicazione alle Reti Neurali. In particolare, obiettivo della presente ricerca è di progettare e realizzare prototipi circuitali neuromorfi al fine di realizzare circuiti complessi che implementino un elevato numero di interconnessioni (sinapsi) tale da emulare il comportamento di semplici sistemi biologici.

L'attività di ricerca prosegue quella intrapresa nell'ambito del progetto PRIN 2006 ("Approssimazione di reti di sistemi dinamici non lineari (modelli di neuroni biologicamente plausibili) e realizzazione di circuiti a struttura parallela per la loro emulazione") ed ha riguardato lo studio e la caratterizzazione di circuiti che implementano modelli biologici di tipo Integrate and Fire (IF). In particolare, è stata realizzata una architettura multi-chip con moltiplicazione in tempo delle interconnessioni. Punto critico di tale architettura è la progettazione del canale di trasmissione dendrite-neurone. Sono stati progettati e realizzati alcuni circuiti analogici dedicati ed è stata messa a punto l'architettura per la realizzazione di una rete multi-chip. Tale architettura è stata realizzata in due distinti circuiti integrati (Chip Neurale in Fig. 1 e Chip Dendritico in Fig. 2) in tecnologia AMS 0.35u ed inviati alla fabbricazione.

Bibliografia

1. C.A.Mead, "Analog VLSI and Neural Systems", Addison-Wesley Publishing company, 1989
2. Henry C. Tuckwell, Introduction to Theoretical Neurobiology , Vol. 2, Cambridge University Press, 1988
3. H. Risken, The Fokker-Planck Equation: Methods of Solution and Appl., Springer-Verlag, 1984.
4. Gerstner, Wulfram - Kistler, Werner, Spiking neuron models, Cambridge University Press, 2002.
5. Badoni, D.; Giulioni, M.; Dante, V.; Del Giudice, P.: "An aVLSI recurrent network of spiking neurons with reconfigurable and plastic synapses" – Proceedings of ISCAS 2006
6. Sargeni F., Bonaiuto V.: "Programmable CNN analogue chip for RD-PDE multi-method simulations", Analog integrated circuits and signal processing, vol. 44 pp. 283-292
7. Sargeni F., Bonaiuto V.: "Digitally programmable nonlinear function generator for neural networks", Electronics Letters, vol. 41 pp. 143-145
8. Sargeni F., Bonaiuto V.: "An Interconnection Architecture for Integrate and Fire Neuromorphic Multi-Chip Networks", 52nd IEEE Midwest Sym. on Circuits and Systems (MWSCAS 2009), Cancun, Mexico Page(s): 877-880
9. Sargeni F., Bonaiuto V.: "Multi-chip Integrate and Fire Neural Network Architecture", 15th IEEE Mediterranean Electrotechnical Conference (MELECON 2010), Page(s): 630-634

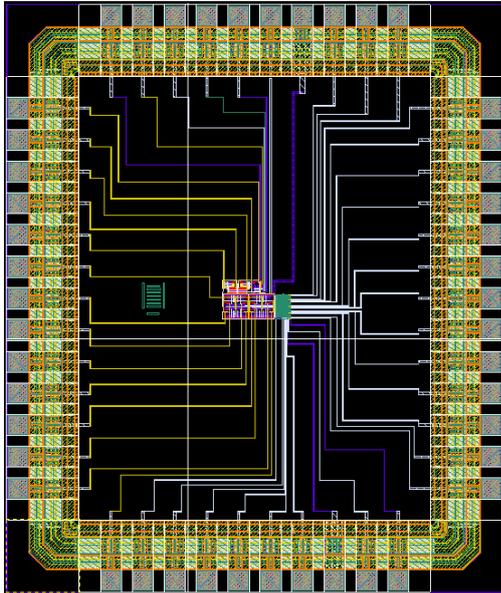


Fig. 1 Chip Neurale

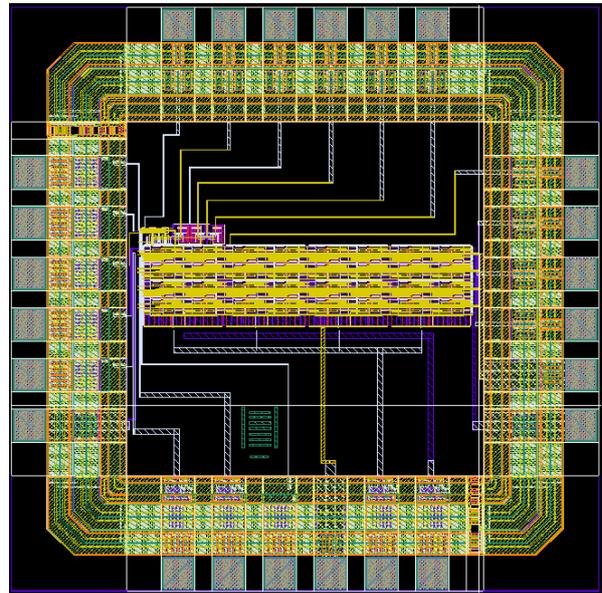


Fig. 2 Chip Dendritico